

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044960

(43)Date of publication of application : 16.02.2001

(51)Int.Cl. H04J 3/14

G06F 11/08

H04L 1/00

H04L 7/08

(21)Application number : 11-213059

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 28.07.1999

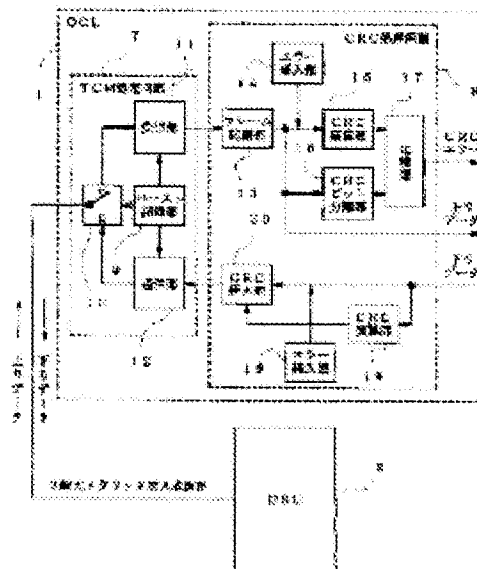
(72)Inventor : YAMAGUCHI KAZUNORI

(54) ERROR TESTING DEVICE IN TIME DIVISION DIRECTION CONTROL INTERFACE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an error testing device in a TCM (time division direction control) interface which directly inserts an error bit into a main signal and can optionally set an error occurrence rate.

SOLUTION: This device is provided with a CRC processing circuit 8 which consists of a frame synchronizing part 13 which a signal from the receiving part of a TCM processing circuit 7 is inputted to and establishes frame synchronization, an error inserting part 14 inserting an error bit in the main signal of its output signal, a CRC operating part 15 performing CRC operation of the main signal to which the error is inserted, a CRC bit dividing part 16 separating a CRC code inserted into a control channel in an output signal of the frame synchronizing part, a comparing part 17 which compares the CRC operation with a CRC bit separation output and perform a CRC error output in the case of mismatch, a CRC operating part 18 to an opposite station, an error inserting part 19 and a CRC inserting part 20.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-44960
(P2001-44960A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 4 J 3/14		H 0 4 J 3/14	A 5 B 0 0 1
G 0 6 F 11/08	3 2 0	C 0 6 F 11/08	3 2 0 5 K 0 1 4
H 0 4 L 1/00		H 0 4 L 1/00	A 5 K 0 2 8
7/08		7/08	Z 5 K 0 4 7

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平11-213059

(22) 出願日 平成11年7月28日 (1999.7.28)

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 山口 和紀

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

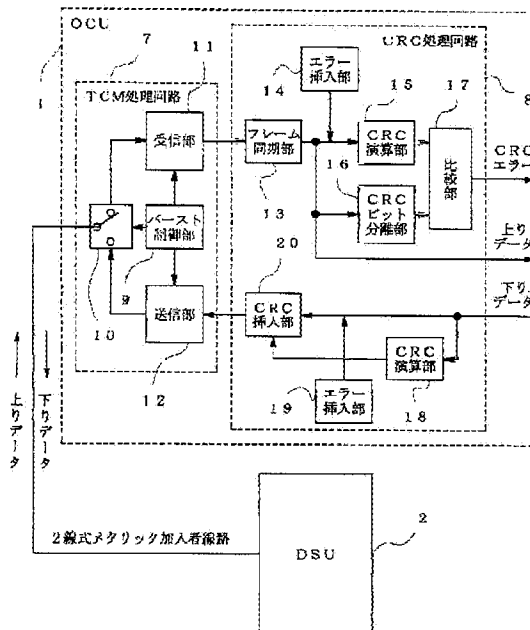
Fターム(参考) 5B001 AA04 AA08 AB01 AD06 AE02
5K014 AA03 BA06 EA01 GA06 HA01
5K028 AA00 KK33 MM09 MM16 NN01
PP02 PP03 PP12 PP22 PP25
QQ02 RR04
5K047 AA11 HH01 HH11 KK01 KK11
MM11 MM14 MM62

(54) 【発明の名称】 時分割方向制御インタフェースにおけるエラー試験装置

(57) 【要約】 (修正有)

【課題】 主信号に直接エラービットを挿入し、エラー発生率を任意に設定できるTCMインタフェースにおけるエラー試験装置を提供する。

【解決手段】 TCM処理回路7の受信部からの信号を入力し、フレーム同期を確立するフレーム同期部13と、その出力信号の主信号中にエラービットを挿入するエラー挿入部14と、エラー挿入された主信号をCRC演算するCRC演算部15と、フレーム同期部出力信号中の制御チャンネルに挿入されたCRC符号を分離するCRCビット分離部16と、CRC演算とCRCビット分離出力とを比較し、不一致の場合にCRCエラー出力を行う比較部17と、対向局に対するCRC演算部18と、エラー挿入部19と、CRC挿入部20とからなるCRC処理回路8を備える。



【特許請求の範囲】

【請求項1】時分割方向制御インタフェースを有する伝送機器のエラー試験装置において、伝送路から入力するバースト信号を受信する受信部と、伝送路に出力するバースト信号を送信する送信部と、前記送信部及び受信部を制御するバースト制御部とからなるTCM処理回路と、前記TCM処理回路の受信部からの信号を入力し、フレーム同期を確立するためのフレーム同期部と、該フレーム同期部出力信号の主信号中にエラービットを挿入する第1エラー挿入部と、該エラー挿入された主信号をCRC演算する第1CRC演算部と、前記フレーム同期部出力信号中の制御チャンネルに挿入されたCRC符号を分離するCRCビット分離部と、前記CRC演算部出力及びCRCビット分離部出力とを比較し、不一致の場合にCRCエラー出力を行う比較部と、対向局に対する下りデータのCRC演算を行う第2CRC演算部と、前記下りデータの主信号にエラービットを挿入する第2エラー挿入部と、前記第2CRC演算部出力を制御チャンネルに挿入するCRC挿入部とからなるCRC処理回路とを備えたことを特徴とする時分割方向制御インタフェースにおけるエラー試験装置。

【請求項2】前記第1及び第2エラー挿入部は任意の率にてエラービットを挿入したことを特徴とする請求項1記載のエラー試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は時分割方向制御（以降、TCMと称す）インタフェースにおけるエラー試験装置に関し、特に2線式メタリック加入者線路を使用して時分割によりバースト信号を受け渡す伝送機器の主信号にエラービットを挿入するTCMインタフェースにおけるエラー試験装置に関する。

【0002】

【従来の技術】平衡対ケーブルにより構成する2線式加入者線路を使用してデジタル伝送を行う方法として実用化されているものの一つにTCM方式がある。TCM方式とは送信信号を蓄積した後、時間圧縮を行ってバースト信号としたものを伝送路に送出し、一方、受信は送信信号を時間圧縮したことにより空いた時間を利用して行うものである。TCM方式を採用した伝送機器の評価として、エラー挿入試験及びビットエラー（以降、BERと称す）検出試験等のエラー試験を行っている。図5に従来のTCMインタフェースにおけるエラー試験方法を実施するための装置の構成例を示す。被測定物である局内回線終端装置（以降、OCUと称す）1と宅内回線終端装置（以降、DSUと称す）2とを擬似線路3を介して接続し、更に、擬似線路3の両端に夫々白色雑音発生器4a、4bと、可変減衰器5a、5b及び雑音挿入回路6a、6bとを接続している。

【0003】このように構成したエラー試験装置において、OCU1側にて測定を行う場合について説明する。まず、雑音挿入回路6a、6bが開放している状態においては、OCU1とDSU2は互いに正常に動作している。次に、エラー挿入試験としてDSU2からOCU1への上りデータにエラービットを挿入する場合は、雑音挿入回路6aを閉じ、白色雑音発生器4aの出力を可変減衰器5aにより所定の値に設定し、擬似線路3のOCU1側に入力する。雑音挿入回路6aは、雑音を挿入する時に擬似線路3を介したOCU1とDSU2間の正常動作時の性能に影響を与えないよう、擬似線路3のインピーダンスと比べ出力インピーダンスを十分大きな値としている。

【0004】この時、DSU2からの上りデータにエラーが発生し、OCU1は、エラー監視機能である冗長度符号チェック方式（以降、CRCと称す）によりエラーを検出する。一方、BER検出試験としてOCU1からDSU2への下りデータにエラーを発生させる場合は、雑音挿入回路6bを閉じ、白色雑音発生器4bの出力を可変減衰器5bにより所定の値に設定し、擬似線路3のDSU2側に入力する。この時、OCU1からの下りデータにエラーが発生したことをDSU2は検出し、上りデータを出力する時に、保守運用のための制御ビットを使用してCRCエラーの検出をOCU1に通知する。その結果をもってBER検出試験とする。

【0005】

【発明が解決しようとする課題】TCMインタフェースにおけるエラー挿入試験及びBER検出試験は、本来、データが持つフレーム構成の情報チャンネルである主信号にエラービットを挿入し、その時のCRC処理機能を確認するものである。しかしながら、TCMインタフェースに準拠した、主信号にエラービットを直接挿入する測定器が開発されていないため、上述したように伝送路側から白色雑音を挿入して擬似的にビットエラーを生じさせる必要があり、主信号に直接エラービットを挿入する方法でないために、他の保守運用のためのデータ及びフレームデータ等にもエラーが生じること、並びにエラー発生率を例えば 1×10^{-6} 或いは 1×10^{-9} 等に設定することが困難であること等の問題点があった。

【0006】本発明は、上述したような従来のTCMインタフェースにおけるエラー試験装置並びに試験方法の問題点を解決するためになされたものであって、主信号に直接エラービットを挿入し、エラー発生率を任意に設定できるTCMインタフェースにおけるエラー試験装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明に係るTCMインタフェースにおけるエラー試験装置の請求項1記載の発明は、伝送路から入力するバースト信号を受信する受信部と、伝送路に出力するバー

スト信号を送信する送信部と、前記送信部及び受信部を制御するバースト制御部とからなるTCM処理回路と、前記TCM処理回路の受信部からの信号を入力し、フレーム同期を確立するためのフレーム同期部と、該フレーム同期部出力信号の主信号中にエラービットを挿入する第1エラー挿入部と、該エラー挿入された主信号をCRC演算する第1CRC演算部と、前記フレーム同期部出力信号中の制御チャンネルに挿入されたCRC符号を分離するCRCビット分離部と、前記CRC演算部出力及びCRCビット分離部出力とを比較し、不一致の場合にCRCエラー出力を行う比較部と、対向局に対する下りデータのCRC演算を行う第2CRC演算部と、前記下りデータの主信号にエラービットを挿入する第2エラー挿入部と、前記第2CRC演算部出力を制御チャンネルに挿入するCRC挿入部とからなるCRC処理回路とを備えた。

【0008】本発明に係るTCMインタフェースにおけるエラー試験装置の請求項2記載の発明は、前記第1及び第2エラー挿入部は任意の率にてエラービットを挿入した。

【0009】

【発明の実施の形態】以下、図示した実施例に基づいて本発明を詳細に説明する。図1は、本発明に係るTCMインタフェースにおけるエラー試験方法を実施するための装置の一形態例を示す図である。なお、被測定物であるOCU1とDSU2とを接続し、OCU1側においてエラー試験を行う場合の例を示す。また、OCU1については、本発明の説明に必要なTCM処理回路7及びCRC処理回路8についてのみ記載する。

【0010】同図においてOCU1はTCM処理回路7及びCRC処理回路8とにより構成する。TCM処理回路7は、バースト制御部9の制御によりバースト信号を送受信に切り替えるバースト切替部10と、受信したバースト信号をバースト制御部9の制御により装置内信号となる上りデータに変換する受信部11と、制御部9の制御により下りデータをバースト信号に変換する送信部12とを備えている。一方、CRC処理回路8は上りデータのフレーム同期を確立するフレーム同期部13と、上りデータの主信号にエラービットを挿入するエラー挿入部14（第1エラー挿入部）と、上りデータのCRC演算を行うCRC演算部15（第1CRC演算部）と、上りデータの保守運用のための制御チャンネルから対向局においてCRC演算した結果を示すCRC符号を分離するCRCビット分離部16と、CRC演算部15とCRCビット分離部16との出力を比較する比較部17と、下りデータのCRC演算を行うCRC演算部18（第2CRC演算部）と、下りデータの主信号にエラービットを挿入するエラー挿入部19（第2エラー挿入部）と、下りデータのCRC演算結果を示すCRC符号を保守運用のための制御チャンネルに挿入するCRC挿入部20と

を備えている。

【0011】次に、図1の動作を説明する。まず、TCM処理回路7について説明すると、OCU1と2線式メタリック加入者線路を介して接続されているDSU2との通信は、TCMインタフェースが採用され、上りデータ及び下りデータを夫々バースト信号とし時分割方式により交互に伝送する。

【0012】図2は、TCMインタフェースの伝送路におけるバースト信号の送受信タイミングを示す図である。同図の t_1 はバースト信号長を、 t_2 は伝送遅延時間を、 t_3 はガード時間を、 t_4 はバースト信号の繰返し周期を夫々示す。OCU側より t_1 からなるバースト長の下りバースト信号を t_2 の伝送遅延時間をもって、DSU側に伝送する。次にDSU側において、時分割のタイミングマージンをとって t_3 によるガード時間を経た後、 t_1 からなるバースト長の上りバースト信号を t_2 の伝送遅延時間をもって、OCUに伝送する。OCU側においては、続いて t_4 のバースト信号の繰返し周期をもって t_1 からなるバースト長の下りバースト信号をDSU側に伝送する。

【0013】図3にTCMインタフェースにおける320kメタリックインタフェースフレームフォーマットを示す。同図に示すように、1バースト信号は360ビットからなる20ワードの主信号と、8ビットからなるフレームワードと、8ビットからなる保守運用のための制御チャンネルであるCLチャンネルと、1ビットのパリティビットとによる377ビットで構成し、1バースト長は1.178msである。従って、1.178msからなる本バースト信号を送送速度320kb/sにて2.5msの周期で交互に送信及び受信を行い、時分割伝送する。そこで、受信部11においてはバースト制御部9の制御により、TCMインタフェースにより入力するバースト信号からなる上りデータをバッファメモリを使用して元の信号速度に速度変換し、上りデータの装置内信号とする。一方、下りデータの装置内信号は送信部12においてバースト制御部9の制御によりバッファメモリを使用して速度変換し、1.178msのバースト信号とする。次に、バースト切替部10においては、バースト制御部9の制御により上りデータ及び下りデータのバースト信号を2.5msの周期にて交互に受信部11に入力、及び送信部12から出力する。

【0014】CRC処理回路8について上りデータの処理を説明すると、TCM処理回路7より出力する上りデータの装置内信号はフレーム同期部13に入力しフレーム同期を確立する。フレーム同期は、図3に示したフレームフォーマットのフレームワードを使用し、フレーム同期外れ状態において、3回連続してフレームワードがフレームの同じ位置にあることを検出するとフレーム同期状態と見なす。次に、フレーム同期状態となった上りデータは、エラー挿入部14において主信号にエラービ

ットを挿入する。エラービットの挿入は、上りデータの主信号である20ワードからなる360個のビット列の中に設定した1ビットの論理を反転させることにより行う。続いて、CRC演算部15においては、主信号にエラービットが挿入されている上りデータのCRC演算を行う。

【0015】図4にCRC演算として12ビットのCRC符号を生成する回路の一実施例を示す。同図を説明すると、CRC符号を生成する生成多項式は、 $G(X) = X^{12} + X^6 + X^4 + X + 1$ とし、12段からなるレジスタの組み合わせにより演算する。CRC演算は、主信号を構成するビットのみに実施し、他のビットの時は演算を停止する。また、CRC演算のマルチフレームは4フレームからなり、12ビットのCRC符号となる演算結果を図3に示したフレームフォーマットのCLチャンネルに4フレームに渡ってk1からk12までに格納し対向する装置に送出する。図4の具体的動作を説明すると、まず、マルチフレームの開始信号により12個のレジスタを全て“0”に初期化し、次に、CRC演算を行う主信号のビットをレジスタ21aから21hに順次入力する。マルチフレームの最後のビットを入力すると、12個のレジスタにはこのマルチフレームのCRC符号が入力される。そこで、この時のCRC符号をマルチフレーム終了信号によりラッチ回路22aから22hに入力し、次のマルチフレームが終了するまで記憶する。

【0016】そこで、CRC演算部15は前記のように動作するCRC演算を行ない、演算結果となる12ビットのCRC符号を記憶しておく。次に、CRCビット分離部16においては、前述した所定のフレームフォーマットによりDSU2から送出されてくる上りデータのマルチフレーム中に割り当てられた、保守運用のためのCLチャンネルに設けたk1からk12のビットを分離する。続いて、比較部17において、前述したCRC演算部15の出力となる12ビットのCRC符号とCRCビット分離部16により分離した12ビットのCRC符号とを比較する。CRC演算部15の演算結果は、エラー挿入回路14により上りデータの主信号にエラービットが挿入されたものであり、また、CRCビット分離部16の出力は、DSU2において上りデータにエラービットがない状態においてCRC演算した結果であるため、両者のCRC符号を比較すると必ず異なっている。そのため、比較部17は、CRCエラーを出力する。そこで、エラー挿入部14においてエラービットの発生率を 1×10^{-6} と設定してエラー挿入すると、比較器17の出力においてCRCエラーは、 1×10^{-6} の頻度により発生する。また、CRCエラーをメジャーエラーとして処理するエラー発生率 1×10^{-4} とする場合は、エラー挿入部14の設定をエラー発生率 1×10^{-4} とし実行することにより可能となる。この様に、エラー挿入部14の設

定を変えることにより任意のエラー挿入試験を行うことが可能である。

【0017】次に、CRC処理回路8について下りデータの処理を説明すると、CRC演算部18は送られてきた下りデータをエラービットのない状態でCRC演算し、演算結果となる12ビットのCRC符号を、CRC挿入部20により所定のフレームフォーマットに割り当てられた保守運用のためのCLチャンネルに格納する。一方、下りデータの主信号は、エラー挿入部19によりエラービットが挿入され、送信部12を介して主信号にエラーが発生した状態にてDSU2に送出される。DSU2においては、受信した下りデータの主信号に対してCRC演算を行って検出した12ビットのCRC符号と、受信した下りデータに割り当てられた保守運用のためのCLチャンネルから分離した12ビットのCRC符号とを比較すると、受信した下りデータの主信号は、OCU1においてエラービットが挿入されているため不一致となりCRCエラーを検出する。従って、DSU2において、上りデータを出力する時に、保守運用のためのCLチャンネルに割り当てられたCRC結果表示ビットを“1”とすることにより、下りデータにCRCエラーが発生したことを上りデータを介してOCU1に通知することが出来る。そこで、OCU1において、保守運用のためのCLチャンネルに割り当てられたCRC結果表示ビットを監視することにより、BER検出試験を行うことが出来る。

【0018】尚、上記説明ではOCU側のエラー試験方法について説明したが、DSU側についても同一の方法が可能である。また、本発明に係るTCMインタフェースにおけるエラー試験方法は、OCU及びDSUに限定するものではなく、加入者線路の多重化装置等、TCMインタフェースを持つもの全てに適用出来る。

【0019】

【発明の効果】本発明は上述したように、TCMインタフェースにおけるエラー試験装置として、バースト信号における主信号に直接エラービットを挿入しており、また、エラー発生率を任意に設定出来ることから、TCMインタフェースを有する伝送機器に本方法を採用することにより、エラー試験による性能評価を行う時に大きな効果を発揮する。

【図面の簡単な説明】

【図1】本発明に係るTCMインタフェースにおけるエラー試験方法の一実施例を示す構成図である。

【図2】TCMインタフェースの伝送路におけるバースト信号の送受信タイミングを示す図である。

【図3】TCMインタフェースにおける320kメタリックインタフェースフレームフォーマットを示す図である。

【図4】CRC演算として12ビットのCRC符号を生成する回路の一実施例を示す。

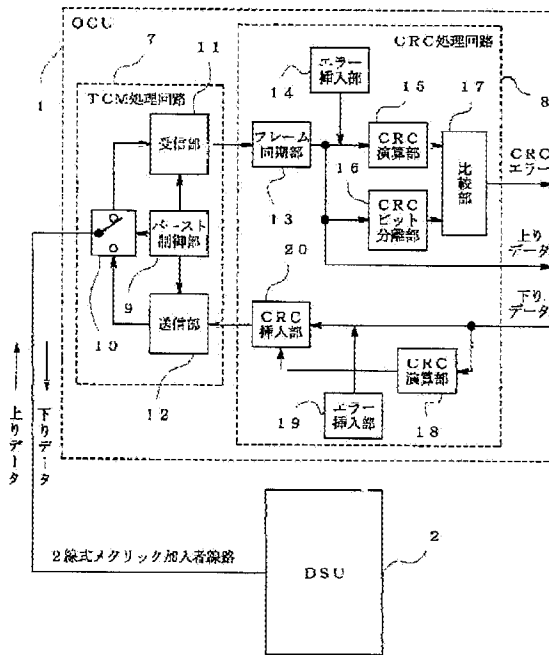
【図5】従来のTCMインタフェースにおけるエラー試験方法の構成例を示す。

【符号の説明】

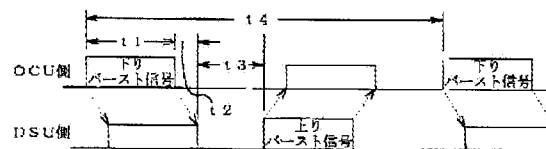
1・・・OCU、 2・・・DSU、 3・・・擬似線路、
4a、4b・・・白色雑音発生器、 5a、5b・・・可変減衰器、 6a、6b・・・雑音挿入回路、
7・・・TCM処理回路、 8・・・CRC処理回路

9・・・バースト制御部、 10・・・バースト切替部、 11・・・受信部、 12・・・送信部、
13・・・フレーム同期部、 14・・・エラー挿入部、
15・・・CRC演算部、 16・・・CRCビット分離部、
17・・・比較部、 18・・・CRC演算部、
19・・・エラー挿入部、 20・・・CRC挿入部

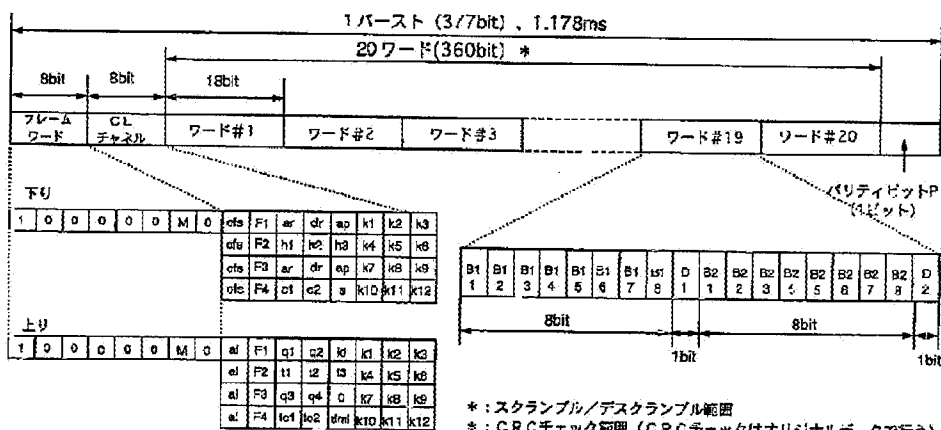
【図1】



【図2】



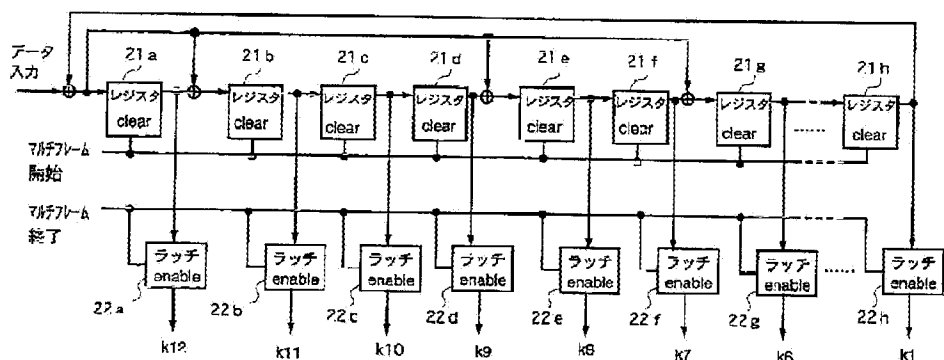
【図3】



k1~k12 : CRC-12チェックビット
生成多項式: $X^{12} + X^4 + X + 1$

dmi : CRCチェック結果表示ビット (下り)

【图4】



k1~k12 はマルチフレームのデータ生成されるCRC-12ビット

【図5】

